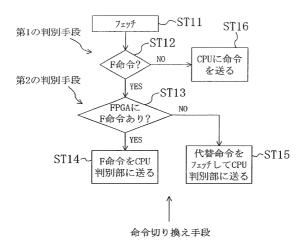
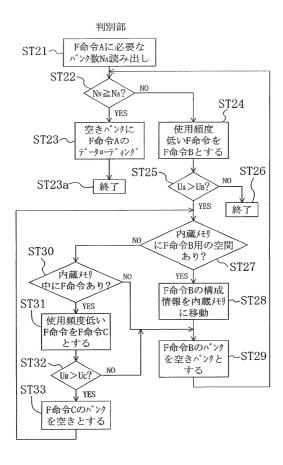


icontary increa





命令列 コメント 図4 ADD D1, D2 #D1+D2→D2 LSR D3, D2 #D2 (D3) bit shift-right→D2

図5

	バンク0 ID=1	バンク1 ID=1	バンク2 ID=4	バンク3 ID=4	バンク4 ID=4	バンク5 ID=0	・ パンク6 ID=0	パンク7 ID=0
- 1						l	1	1

(a) FPGA 1 D1, D2, D3 #D1+D2 (D3) bit shift-right \rightarrow D2

図6

図7

(b) ADD D1, D2 #D1+D2→D2

LSR D3, D2 #D2 (D3)bit shift-right→D2

FPGAend #代替命令終了

F命令と代替命令とが混在した記述

FPGA 0 D1, D2, D3 (addr) #D1+D2 (D3)bit shift-right→D2

評命令を実行する場合は(addr)に飛ぶ

ADD D1, D2 $\#D1+D2 \rightarrow D2$

ここから代替命令

LSR D3,D2 #D2 (D3)bit shift-right→D2 ここまで代替命令

(次の命令) #ここが(addr)で示される番地

 $\mathtt{ADD} \quad \mathtt{D1}, \mathtt{D2}$

 $\#D1+D2\longrightarrow D2$

LSR D3, D2

#D2 (D3)bit shift-right→D2

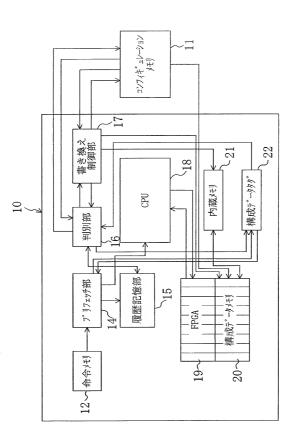
図8

ID	命令列	対応する構成データ	バンク数
----	-----	-----------	------

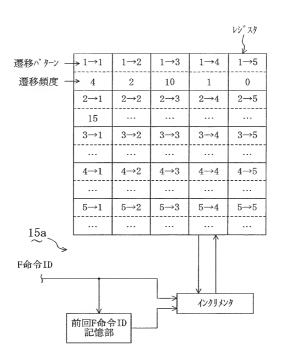
1 ADD D1, D2 対応する構成データ 1

図10

図9



MOSOISSY INCHES



					レシ゛スタ 1	
		r			, \	
遷移パターン -	> 1→1	1→2	1→3	1→4	1→5	
遷移頻度 -	> 4	2	10	8	0	
インターハ゛ル ―	> 12	22	3	11	_	
	2→1	2->2	2-3	2→4	2→5	
	15					
	4					
	3→1	3→2	3→3	3→4	3→5	
					•••	
					•••	
	4→1	4→2	4→3	4→4	4→5	
					•••	
	5→1	5→2	5→3	5→4	5→5	
15b						
F命令ID	かり 前回F命令ID 記憶部 インターパール インターパール					